

PCT/KR 02 / 00715

RO/KR 10.0

10 / 506658

01 SEP 2004

REC'D 04 JUN 2002

PCT

대한민국 특허청

KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 :

Application Number

특허출원 2002년 제 11395 호
PATENT-2002-0011395

출원 년 월 일 :

Date of Application

2002년 03월 04일
MAR 04, 2002

출원 인 :

Applicant(s)

강효상 외 1명
KANG, HY0 SANG, et al.



2002 년 05 월 10 일

특 허 청

COMMISSIONER



**PRIORITY
DOCUMENT**

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

BEST AVAILABLE COPY

【서지사항】

【서류명】 특허출원서
 【권리구분】 특허
 【수신처】 특허청장
 【제출일자】 2002.03.04
 【발명의 명칭】 웨이퍼 건식 식각용 전극
 【발명의 영문명칭】 Electrodes For Dry Etching Of Wafer
 【출원인】

【성명】 강효상
 【출원인코드】 4-2002-003239-8

【출원인】
 【성명】 김영렬
 【출원인코드】 4-2002-008407-9

【대리인】
 【성명】 김익환
 【대리인코드】 9-1998-000140-1
 【포괄위임등록번호】 2002-008556-3
 【포괄위임등록번호】 2002-017567-0

【발명자】
 【성명】 강효상
 【출원인코드】 4-2002-003239-8

【발명자】
 【성명】 김영렬
 【출원인코드】 4-2002-008407-9

【심사청구】 청구

【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대
 리인 김익환
 (인)

【수수료】
 【기본출원료】 20 면 29,000 원
 【가산출원료】 2 면 2,000 원
 【우선권주장료】 0 건 0 원
 【심사청구료】 2 항 173,000 원

0020011395

출력 일자: 2002/5/17

【합계】	204,000 원
【감면사유】	개인 (70%감면)
【감면후 수수료】	61,200 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 웨이퍼 건식 식각용 전극에 관한 것으로, 본 발명의 전극은 제1 및 제2 한쌍의 전극으로 이루어지되, 상기 제1전극은 웨이퍼 가장자리의 상하부분중 어느 일측과 대향하는 환형의 제1돌출단 및 제1비돌출부를 구비하고, 상기 제2전극은 상기 웨이퍼 가장자리의 상하부분중 다른 일측과 대향하면서 상기 제1돌출단 및 제1비돌출부와 동일한 치수로 형성된 제2돌출단 및 제2비돌출부를 구비한 것을 특징으로 한다.

이에 따라, 반도체 제조 공정중에서 별도의 추가 공정을 요하지 않으면서 웨이퍼 가장자리 부위의 상면은 물론 측면과 하면에 적층된 여러가지 이물질들을 모두 제거하게 됨으로써, 공정 단순화와 공정 비용의 절감, 그리고 수율과 품질 및 생산성 향상에 기여하게 되는 효과를 발휘한다.

【대표도】

도 2

【색인어】

웨이퍼, 건식, 식각, 이물질, 플라즈마, 돌출단, 전극, 전기장, 전자기장

【명세서】

【발명의 명칭】

웨이퍼 건식 식각용 전극{Electrodes For Dry Etching Of Wafer}

【도면의 간단한 설명】

도 1은 본 발명에 따른 웨이퍼 건식 식각용 전극을 나타낸 부분 단면 사시도,

도 2는 본 발명에 따른 전극을 이용한 웨이퍼의 상면 및 측면 식각을 설명하는
도면,

도 3은 본 발명에 따른 전극을 이용한 웨이퍼의 하면 및 측면 식각을 설명하는 도면

도 4는 본 발명에 따른 전극이 설치된 건식 식각 장치를 나타낸 단면도,

도 5는 이물질이 적층된 웨이퍼를 나타낸 측면도,

도 6은 장비에 의해 웨이퍼에 이물질이 형성 적층되는 장면을 묘사한 도면,

도 7a~도 7e는 종래의 습식 식각에 의한 질화막 제거 공정을 나타낸 도면,

도 8a~도 8e는 종래의 건식 식각에 의한 폴리 실리콘막 제거 공정을 나타낸 도면,

도 9는 종래의 전극을 이용한 웨이퍼의 식각을 설명하는 도면.

<도면의 주요 부분에 대한 부호의 설명>

10 : 제1전극 10a : 제1돌출단 10b : 가스 취입구

10c : 제1비돌출부 11 : 절연체 20 : 제2전극

20a : 개구부 20b : 제2돌출단 20c : 제2비돌출부

30 : 웨이퍼 30a : 상면 30b : 측면

30c : 하면 31 : 미세 패턴 40 : 정전척

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<16> 본 발명은 반도체 웨이퍼의 건식 식각과 관련된 것으로서, 특히 집적회로소자 제조용 반도체 웨이퍼의 가장자리 부위에 형성 누적된 각종 이물질을 플라즈마로 제거하기 위한 웨이퍼 건식 식각용 전극에 관한 것이다.

<17> 통상적으로, 고집적도 반도체 소자를 제조하는 과정에서는 도 5에서와 같이 웨이퍼(100)의 가장자리 부위에 폴리막, 질화막층, 금속층 등(110,120)이 형성, 누적된다. 또, 도 6에서와 같이 웨이퍼(100)의 운송 또는 장비(200)와의 접촉에 의하여 웨이퍼(100)의 가장자리 물질이 부스러져 웨이퍼(100)의 내부로 유입되는 경우가 발생한다.

<18> 이외에도, 최근에 반도체 소자의 게이트 전극이 텅스텐 실리사이드에서 텅스텐 게이트 전극으로, 커패시터 절연막은 ONO구조에서 탄탈늄 옥사이드로 바뀌고, 포토 마스크 미세 패턴 형성을 위한 유기성 바텀 아크 및 무기성 아크층인 SiON, 베리어 메탈인 Ti, TiN 층을 사용하는 경향에 따라, 이들 적층 구조의 이물질들이 반도체 소자 공정중에서 위와 같은 경로를 통하여 웨이퍼를 오염시키게 된다.

- <19> 이러한 이물질들은 반도체 제조 공정이 진행됨에 따라 파티클 소스(particle source)가 되어 웨이퍼(100)를 오염시키게 되는데, 특히 웨이퍼의 지름이 200mm에서 300mm로 전환시 웨이퍼 가장자리 부위의 반경이 더욱 더 커지므로 파티클 오염 소스 또한 커질 수 밖에 없는 실정이다.
- <20> 따라서, 반도체 소자의 수율과 신뢰성에 영향을 미치는 웨이퍼(100) 가장자리의 이물질들은 완전히 제거되어야 할 필요가 있다.
- <21> 이에, 종래에는 웨이퍼의 가장자리에 형성 누적된 이물질을 제거하기 위하여 다음과 같은 방법들을 사용하여 왔다.
- <22> 즉, 그 예로서 먼저, 습식 식각을 이용한 질화막 제거 공정은 다음과 같이 5단계로 이루어진다(도 7a~도 7e 참조).
- <23> i. 실리콘 웨이퍼(100) 상에 기 증착된 질화막(101)의 위에 플라즈마 증착 장치를 이용하여 산화막(102)을 증착시킨다(도 7a).
- <24> ii. 상기 산화막(102) 위에 감광제를 도포하여 감광막(103)을 형성하고, 웨이퍼(100)의 가장자리 부위에 있는 감광막(103)만을 제거하여 산화막(102)이 드러나게 한다(도 7b).
- <25> iii. 웨이퍼(100)의 가장자리에 드러난 산화막(102)을 습식 식각 장치를 이용하여 화학 용액($\text{NH}_4\text{F}+\text{HF}$)으로 제거한다(도 7c).
- <26> iv. 산화막(102) 위에 있는 감광막(103)을 건식 제거 장치를 이용하여 제거하고, 세정 장치를 이용하여 화학 용액($\text{H}_2\text{SO}_4/\text{H}_2\text{O}_2$)으로 잔류 감광막(103)을 제거한다(도 7d).

- <27> v. 웨이퍼(100)의 가장자리에 드러난 질화막(101)을 습식 식각 장치를 이용하여 고온의 인산(H_3PO_4)용액으로 제거한다(도 7e).
- <28> 그런데, 이러한 종래의 습식 식각에 의한 질화막 제거 공정은, 그 단계가 복잡하며, 공정 수행에 있어서 산화막 증착, 감광제 도포, 감광막 건식 제거, 산화막 제거 습식 식각, 감광막 제거, 세정, 질화막 습식 식각 등을 위한 여러 가지 장치를 요하게 되는 문제점이 있다.
- <29> 한편, 종래의 다른 예로서, 건식 식각을 이용한 폴리 실리콘막 제거 공정은 다음과 같이 5단계로 이루어진다(도 8a~도 8e 참조).
- <30> i. 실리콘 웨이퍼(100) 상에 기 증착된 폴리 실리콘막(104) 위에 플라즈마 증착 장치를 이용하여 산화막(102)을 증착시킨다(도 8a).
- <31> ii. 감광제를 도포하여 감광막(103)을 형성하고, 웨이퍼(100)의 가장자리 부위에 있는 감광막(103)을 제거하여 산화막(102)이 드러나게 한다(도 8b).
- <32> iii. 웨이퍼(100)의 가장자리에 드러난 산화막(102)을 습식 식각 장치를 이용하여 화학 용액($\text{NH}_4\text{F}+\text{HF}$)으로 제거한다(도 8c).
- <33> iv. 상기 산화막(102) 위에 있는 감광막(103)을 감광막 건식 제거 장치를 이용하여 제거하고, 세정장치를 이용하여 화학 용액($\text{H}_2\text{SO}_4/\text{H}_2\text{O}_2$)으로 잔류 감광막(103)을 제거한다(도 8d).
- <34> v. 웨이퍼(100)의 가장자리에 드러난 폴리 실리콘막(104)을 종래의 건식 식각 장치를 이용하여 제거한다(도 8e).

- <35> 이상과 같은 종래의 건식 식각에 의한 폴리 실리콘막 제거 공정에서도, 습식 식각에 의한 질화막 제거 공정에서도 마찬가지로, 그 단계가 복잡하며, 공정 수행에 있어서 산화막 증착, 감광제 도포, 산화막 제거 습식 식각, 감광막 건식 제거, 세정, 폴리막 제거 건식 식각 등을 위한 여러 가지 장치를 요하게 되는 문제점이 있다.
- <36> 더우기, 웨이퍼 가장자리 부위에 있는 폴리 실리콘막의 제거시 종래의 건식 식각 장치에 의할 경우, 웨이퍼 가장자리의 상면에 대해서는 제거가 가능하지만, 웨이퍼 가장자리의 측면과 하면 부위에 대한 제거는 불완전하거나 거의 불가능하게 되는 문제점이 있다.
- <37> 뿐만 아니라, 종래의 식각 장치들은 웨이퍼에 패턴을 형성하는 각각의 공정마다 개별적으로 사용될 수 밖에 없기 때문에, 위에서 설명한 예에서와 같이 어느 한가지 이물질만을 제거하는 데에 그치고, 한 종류의 식각 장치로는 여러 가지 이물질을 모두 제거하지 못하게 되는 문제점이 있다.
- <38> 한편, 종래에 있어서 반도체 소자 미세 회로 패턴의 형성에 일반적으로 사용되고 있는 건식 식각 장치는, 도 9에 도시된 바와 같이, 반응가스 분위기하에서 평판상으로 이루어진 제1 및 제2전극(300,300') 사이에 전기장을 형성하여 웨이퍼(100)의 상면에 플라즈마를 발생시킴으로써, 웨이퍼(100)의 상면(100a)에 적층된 물질을 미세 패턴(103a) 모양으로 식각을 하게 되는데, 이때 반도체 소자 제조시 웨이퍼(100)의 가장자리 부위에 누적된 이물질 적층막의 일부를 제거하게 된다. 미설명 부호 (400) (500)은 각각 RF-제너레이터와 매칭 네트워크(matching network)이다.

<39> 그러나, 이와 같은 종래의 건식 식각 장치는 웨이퍼(100)가 일측의 전극(300') 상에 놓여진 상태로 공정이 이루어지기 때문에, 플라즈마가 웨이퍼(100)의 측면(100b)과 저면(100c) 부위에는 영향을 미치지 못함으로써, 웨이퍼(100)의 측면(100b)과 하면(100c) 부위에 적층된 이물질은 제거하기 곤란하다는 문제점이 있다.

<40> 또, 한국 등록실용신안 제238814호(출원인:(주)소솔)에서는 전극의 형상을 링타입으로 하고, 웨이퍼의 상면 중앙부위에 대해서는 불활성가스를 취입함으로써, 웨이퍼의 가장자리에만 플라즈마가 형성되도록 하여 웨이퍼 가장자리에 잔류하는 파티클을 제거하게 되는 플라즈마 식각장치를 개시하고 있으나, 이 기술 역시 웨이퍼 가장자리의 하면부위에 대한 이물질의 제거는 곤란하고, 장치의 구조상 반응가스와 불활성가스가 혼합되고 말기 때문에 웨이퍼내의 미세 패턴에 대한 손상 및 식각비(Etching Rate) 저하로 온전한 식각이 불가능하게 되는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<41> 본 발명은 전술한 바와 같은 제반 문제점들을 해소하기 위해 안출된 것으로서, 그 목적은, 반도체 제조 공정중에서 웨이퍼 가장자리 부위의 상면과 측면은 물론 하면에 형성된 이물질들을 웨이퍼에 손상을 유발하지 않고 효과적으로 온전하게 제거할 수 있는 웨이퍼 건식 식각용 전극을 제공하는 데에 있다.

【발명의 구성 및 작용】

- <42> 위와 같은 목적을 달성하기 위한 본 발명에 따른 웨이퍼 건식 식각용 전극은, 플라즈마를 형성시켜 웨이퍼 가장자리의 이물질 제거하는 제1 및 제2 한쌍의 웨이퍼 건식 식각용 전극에 있어서, 상기 제1전극은 상기 웨이퍼 가장자리의 상하부분중 어느 일측과 대향하는 환형의 제1돌출단을 구비하고, 상기 제2전극은 상기 웨이퍼 가장자리의 상하부분중 다른 일측과 대향하면서 상기 제1돌출단과 동일한 치수로 형성된 제2돌출단을 구비한 것을 특징적인 기술적 사상으로 한다.
- <43> 여기서, 상기 제1전극의 상기 웨이퍼와 대향하는 중심부로부터 돌출단 내경에 이르는 부위에 절연체를 도포하거나 절연막을 부착할 수도 있다.
- <44> 이하, 본 발명의 바람직한 실시예를 첨부도면에 의거하여 상세히 설명한다.
- <45> 도 1은 본 발명에 따른 웨이퍼 건식 식각용 전극들을 나타낸 부분 단면 사시도로서, 웨이퍼의 가장자리 부위에 형성 적층된 이물질을 제거하기 위한 플라즈마 발생 수단인 한 쌍의 전극, 즉 제1전극(10)과 제2전극(20)이 나타나 있다.
- <46> 편의상 이들 전극(10,20)중 제1전극(10)을 애노드로 하고, 제2전극(20)을 캐소드로 하여 설명하되, 제1전극(10)이 캐소드, 제2전극(20)이 애노드가 될 수도 있다.
- <47> 상기 제1전극(10)의 대체적인 형상은 통상의 전극과 같이 원형의 평판으로 이루어지되, 그 저면부에 환형의 돌출단(10a)이 형성된 것을 특징적인 구조로 하며, 이 돌출단(10a)과 외경 사이에는 본 발명의 제1 및 제2전극(10,20)이 설치되는 진공 챔버(미도시

)의 내부로 플라즈마 형성용 반응가스를 취입하기 위한 가스 취입구(10b)가 형성되어 있다.

<48> 그리고, 상기 제2전극(20)은 상기 제1전극(10)에 대응되는 동일한 직경의 원형 평판으로 이루어지되, 중앙에는 상하로 관통된 개구부(20a)가 형성되어 있으며, 이 개구부(20a)와 외경 사이에는 상기 제1전극의 돌출단(10a) - 이를 편의상 "제1돌출단"이라 칭한다 - 과 대향하는 동일한 치수의 환형 돌출단(20b) - 이를 상기 제1돌출단과 구분하여 "제2돌출단"이라 칭한다 - 이 형성되어 있다.

<49> 아울러, 상기 제1전극(10)의 제1돌출단(10a)과 제2전극(20)의 제2돌출단(20b) 외측의 평탄부들은 편의상 각각 제1비돌출부(10c)와 제2비돌출부(20c)라 칭하여 구분한다.

<50> 한편, 상기 제1전극(10)의 저면 중심부로부터 제1돌출단(10a) 내경에 이르는 부위에 제1전극(10)과 제2전극(20) 간에 RF 파워가 인가되었을 때 이 부위에 전기장 또는 자기장이 형성되지 못하도록 하기 위한 절연체(11)가 도포되거나 절연막이 부착될 수도 있다. 이러한 절연체(11)로는 폴리마이드(POLYIMIDE) 또는 테플론(TEFLON), 실리콘(SILICON), 석영(QUARTZ), 세라믹(CERAMIC) 등을 예로 들 수 있다.

<51> 첨부도면 도 2와 도 3은 각각 본 발명에 따른 전극을 이용한 웨이퍼의 식각을 설명하는 도면으로서, 이하에서는 이들 도면을 바탕으로 본 발명의 전극(10,20)들과 웨이퍼(30)간의 상호 작용을 설명한다.

<52> 먼저, 도 2에 의거하여 살펴보면, 애노드인 제1전극(10)과 캐소드인 제2전극(20)의 사이에 웨이퍼(30)가 정전척(40)에 의하여 개재되어 있되, 정전척(40)이 제2전극(20)의

개구부(20a)를 통해 하강된 상태로 놓여짐으로써, 웨이퍼(30)의 가장자리 부위 하면(30c)이 제2전극(20)의 제2돌출단(20b) 상측에 접촉하고 있게 된다.

<53> 이 상태에서 제1전극(10)의 가스 취입구(10b)를 통하여 반응가스를 취입하고, RF제너레이터(50)로부터 제2전극(20)에 파워를 인가하면, 제1전극(10)의 제1돌출단(10a) 및 제1비돌출부(10c), 제2전극(20)의 제2돌출단(20b) 및 제2비돌출부(20c)를 통하여 전기장 또는 전자기장이 형성되면서 반응가스에 의하여 두 돌출단(10a,20b)과 두 비돌출부(10c,20c) 간에 서로 다른 강도를 갖는 두 종류의플라즈마가 발생된다.

<54> 이 때, 플라즈마는 제1돌출단(10a)과 제2돌출단(20b) 각각의 폭을 따라 형성되는데, 이들 돌출단(10a,20b)의 폭은 대향하고 있는 웨이퍼(30)의 식각하고자 하는 가장자리 부위(도면에 "B"로 표시된 영역)만큼에 해당하는 치수로 제작되어 사용됨으로써, 웨이퍼(30)의 미세 패단(31)이 형성되어 있는 부위(도면에 "A"로 표시된 영역)에는 플라즈마가 영향을 미치지 않게 되며, 제1비돌출부(10c)와 제2비돌출부(20c) 사이에 형성된 플라즈마(도면에 "C"로 표시된 부위)는 웨이퍼의 측면 식각을 유도하게 된다.

<55> 특히, 웨이퍼(30)의 하면(30c)이 제2전극(20)의 제2돌출단(20b) 상면에 접하도록 한 상태이기 때문에, 플라즈마 이론상 RIE(Reactive Ion Etching)방식에 의해 주로 웨이퍼(30)의 상면(30a)과 측면(30b)에 국한되어 이 부분에 대한 이물질을 제거할 수 있는 범위 내에서 식각이 이루어지게 된다.

<56> 더우기, 제1전극(10)의 저면 중심부로부터 제1돌출단(10a) 내경에 이르는 부위에 구비되어 있는 절연체(11)로 인해 "A" 영역에는 전기장 또는 전자기장이 형성되지 않기 때

문에 이 "A" 영역에서의 플라즈마 발생이 미연에 방지됨으로써 보다 안정적인 식각 효과를 볼 수가 있다.

<57> 도면에서 미설명 부호 (60)은 매칭 네트워크(matching network)이다.

<58> 한편, 도 3에서와 같이, 제2전극(20)의 개구부(20b)를 통하여 정전척(40)을 상승시켜 웨이퍼(30)의 가장자리 부위 상면(30c)이 제1전극(10)의 제1돌출단(10a) 상측에 접하도록 한 상태에서 제1전극(10)의 가스 취입구(10b)를 통해 반응가스를 취입하고 RF제너레이터(50)로부터 파워를 인가하면, 앞서서와 마찬가지로 제1돌출단(10a)과 제2돌출단(20b)을 통해 플라즈마가 발생하되, 이때는 플라즈마 이론상 플라즈마 타입에 의해 주로 웨이퍼(30) 가장자리의 하면(30c)과 측면(30b)에 국한되어 이 부분("B" 영역)에 대한 이물질 제거할 수 있는 범위내에서 식각이 이루어지게 된다.

<59> 도 4는 본 발명의 전극이 통상의 진공챔버에 설치되어 적용된 예를 보여 주고 있는데, 이 진공챔버(70)에는 본 발명의 전극(10,20)에서 플라즈마를 발생시키기 위한 반응가스 취입용 도관(71)과, 웨이퍼(30)를 반입하기 위한 출입구(70a), 웨이퍼(30)의 식각 후 가스를 배출하기 위한 배출구(70b), 그리고 웨이퍼(30)가 안착되어 상하로 승강되도록 할 수 있는 정전척(40)을 구비하고 있다.

<60> 따라서, 출입구(70a)를 통해 진공챔버(70) 내로 웨이퍼(30)를 진입시켜 정전척(40) 위에 올려놓은 뒤, 반응가스 분위기 하에서 제2전극(20)을 통해 RF제너레이터(50)의 전압을 인가하면, 제1전극(10)의 절연체(11)에 의해 웨이퍼(30)의 상면 중앙부위는 온전하게 보전이 되면서 제1전극(10)의 제1돌출단(10a) 및 제1비돌출부(10c)와 제2전극(20)의

제2돌출단(20b) 및 제2비돌출부(20c) 사이에서만 플라즈마가 형성됨으로써, 전술한 바와 같은 과정을 통하여 웨이퍼(30)의 가장자리 부위에 대한 식각이 이루어지게 된다.

<61> 이와 같이 하여 식각 공정이 진행되는 동안, 종래와 마찬가지로 웨이퍼(30)로부터 제거된 이물질들과 반응가스는 배출구(70b)를 통하여 펌핑-아웃된다.

<62> 한편, 본 발명에 따른 전극을 이용하여 이루어지는 웨이퍼의 가장자리에 대한 건식 식각은, 표1에 나타난 식각용 반응가스를 이용하여 해당 이물질들을 제거할 수가 있다.

<63> 【표 1】

이물질 종류	식각용 반응가스
무기성 아크(SiON)	CF ₄ , SF ₆
유기성 아크(C _x Si _y)	CF ₄ , O ₂
산화막(SiO ₂)	CF ₄ , CHF ₃ , C ₄ F ₈ , C ₂ F ₆ , Ar, O ₂ , C ₄ F ₈ , CH ₂ F ₂
질화막(Si ₃ N ₄)	CF ₄ , SF ₆ , CHF ₃ , Ar, O ₂
폴리실리콘(Si)	HBr, Cl ₂ , CCl ₄ , SF ₆ , O ₂
텅스텐실리사이드(WSi _x)	SF ₆ , Cl ₂
텅스텐(W)	SF ₆ , CF ₄ , Ar, O ₂
알루미늄(Al)	Cl ₂ , CCl ₄ , BCl ₃
구리(Cu)	Cl ₂
탄탈늄옥사이드(TaO ₂)	SF ₆ /Cl ₂ /CF ₄
탄탈늄옥사나이트라이드(TaON)	SF ₆ /Cl ₂ /CF ₄
타이타늄(Ti)	CF ₄ , SF ₆
타이타늄실리사이드(TiSi _x)	SF ₆ , CF ₄ , O ₂
SOG, [R _x SiO _y SiO ₂] _n , H(SiO _{3/2}) _n	SF ₆ , CF ₄ , O ₂

<64> 앞에서도 살펴본 바와 같이, 종래에는 질화막 제거용 습식 식각 장치 또는 미세 패턴 형성을 위한 건식 식각 장치와 같이 어느 한 가지 종류의 물질만을 제거하기 위한 목적으로 고안되거나 그러한 기능만을 가진 식각 장치들이 사용되어 왔기 때문에 각종의 이물질들을 제거하기 위해서는 해당 식각 장치가 필요하고 공정 또한 복잡하였다.

<65> 또, 전극의 구조에 있어서도 종래에는 웨이퍼의 가장자리 부위중 상면과 측면 부위에 대한 이물질 제거만이 제대로 이루어졌을 뿐, 웨이퍼 가장자리의 하면 부위에 대한 이물질 제거는 매우 곤란하였다.

<66> 그러나, 본 발명의 전극을 적용할 경우에는 웨이퍼에 미세 패턴을 형성하는 과정에서 제거되지 않은 표1에 예시되어 있는 해당 이물질의 제거를 위한 식각용 반응가스의 교환을 통해 공정의 완료후 즉각적으로 이물질의 제거가 가능하기 때문에 별도의 장비를 갖출 필요가 없고 공정이 단순화되는 것이다.

<67> 뿐만 아니라, 웨이퍼의 가장자리 상면과 측면 및 하면 부위 이외의 부위에는 플라즈마의 영향이 미치지 않도록 되어 있기 때문에, 가장자리 부위에 대한 효과적인 식각이 이루어지면서도 웨이퍼의 패턴 부위에는 전혀 손상을 주지 않게 된다.

【발명의 효과】

<68> 이상에서 설명한 바와 같이, 본 발명에 따른 웨이퍼 건식 식각용 전극은, 반도체 제조 공정중에서 별도의 추가 공정을 요하지 않으면서 웨이퍼 가장자리 부위의 상면과 측면은 물론 하면에 적층된 여러가지 이물질들을 모두 제거하게 됨으로써, 공정 단순화와 공정 비용의 절감, 그리고 수율과 품질 및 생산성 향상에 기여하게 되는 효과를 발휘한다.

【특허청구범위】**【청구항 1】**

플라즈마를 형성시켜 웨이퍼 가장자리의 이물질을 제거하는 제1 및 제2 한쌍의 웨이퍼 건식 식각용 전극에 있어서,

상기 제1전극은 상기 웨이퍼 가장자리의 상하부분중 어느 일측과 대향하는 환형의 제1돌출단 및 제1비돌출부를 구비하고, 상기 제2전극은 상기 웨이퍼 가장자리의 상하부분 중 다른 일측과 대향하면서 상기 제1돌출단 및 제1비돌출부와 동일한 치수로 형성된 제2돌출단 및 제2비돌출부를 구비한 것을 특징으로 하는 웨이퍼 건식 식각용 전극.

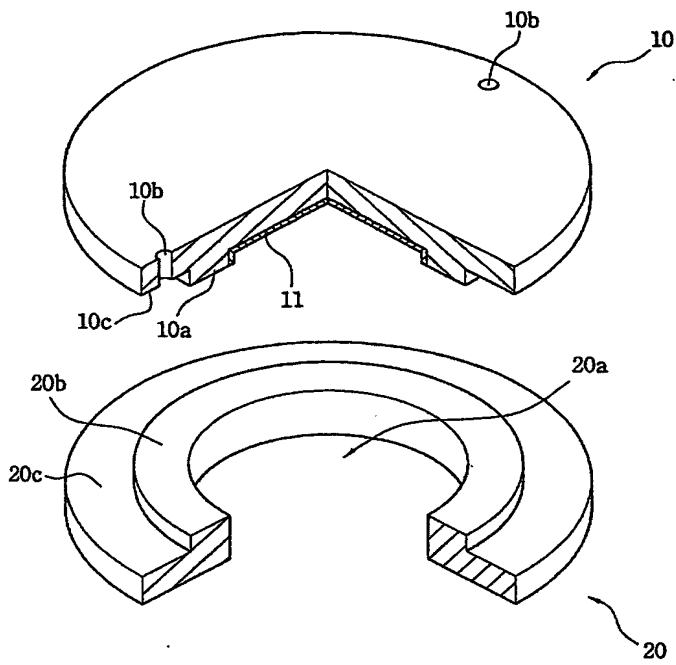
【청구항 2】

제1항에 있어서,

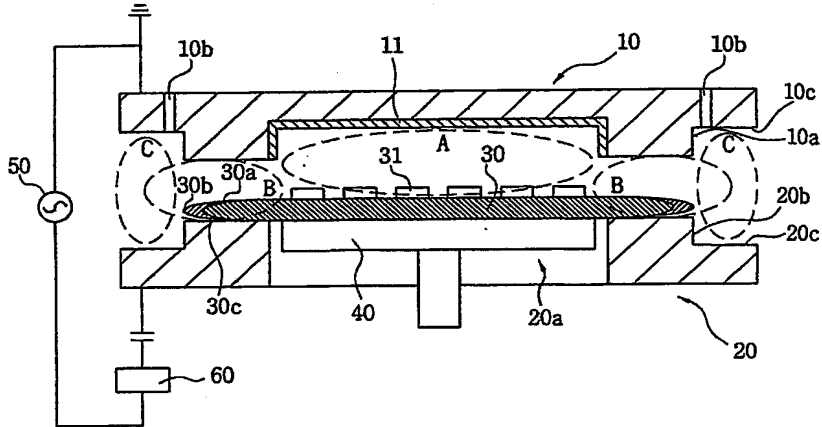
상기 제1전극의 상기 웨이퍼와 대향하는 중심부로부터 돌출단 내경에 이르는 부위에 절연체가 도포되거나 절연막이 부착된 것을 특징으로 하는 웨이퍼 건식 식각용 전극.

【도면】

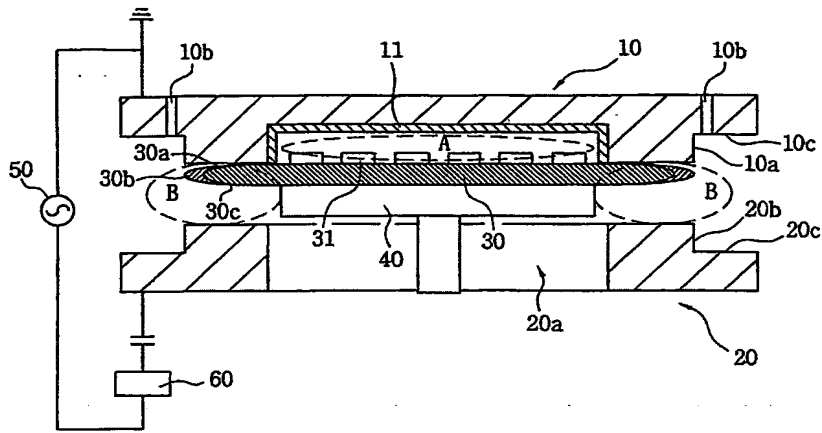
【도 1】



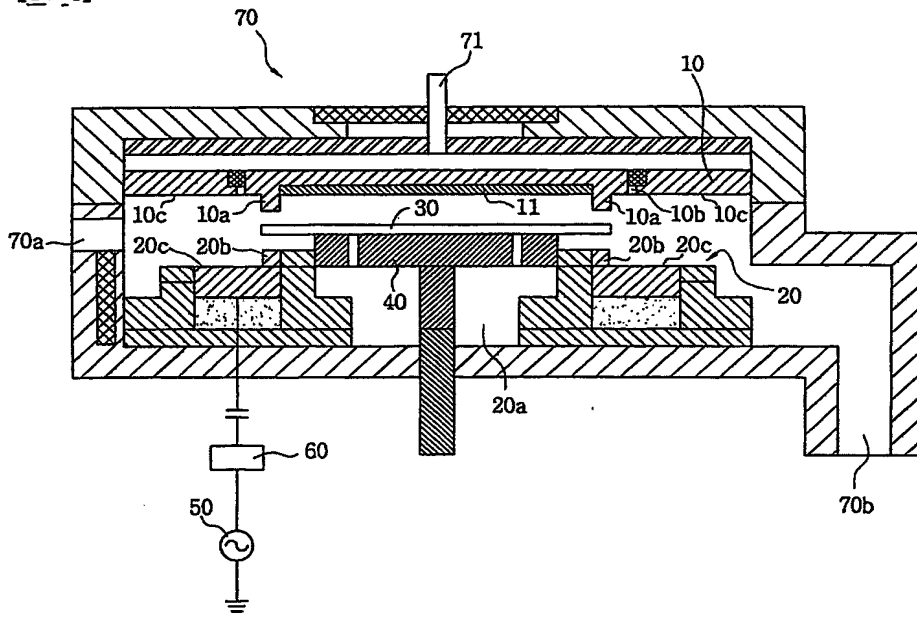
【도 2】



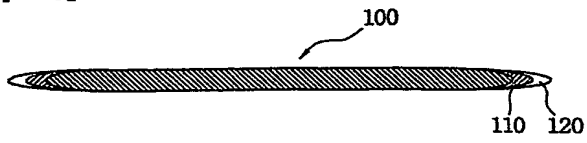
【도 3】



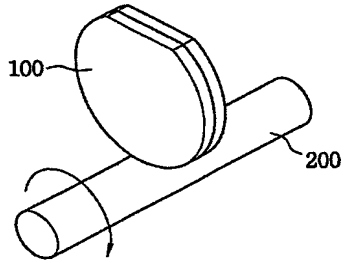
【도 4】



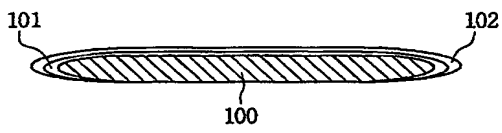
【도 5】



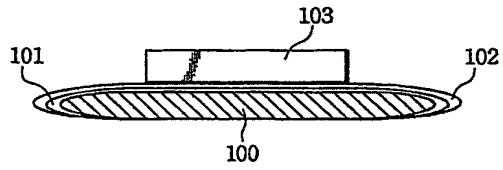
【도 6】



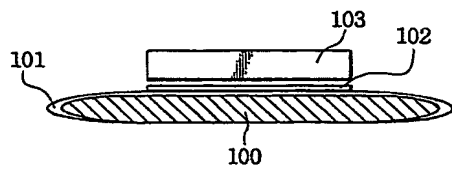
【도 7a】



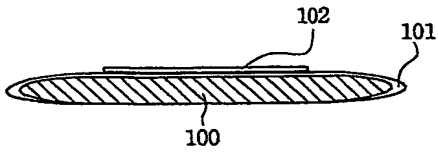
【도 7b】



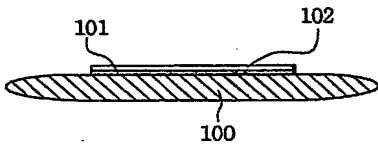
【도 7c】



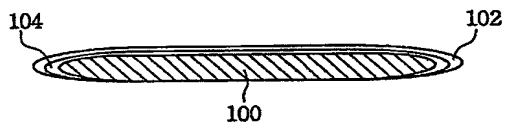
【도 7d】



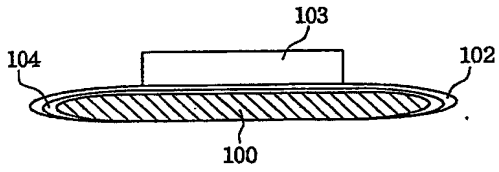
【도 7e】



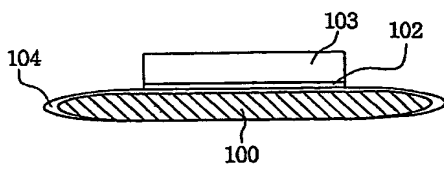
【도 8a】



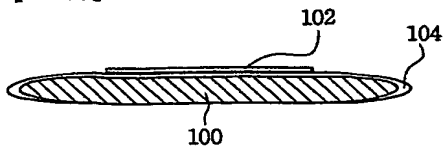
【도 8b】



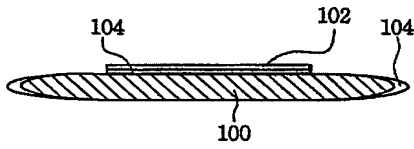
【도 8c】



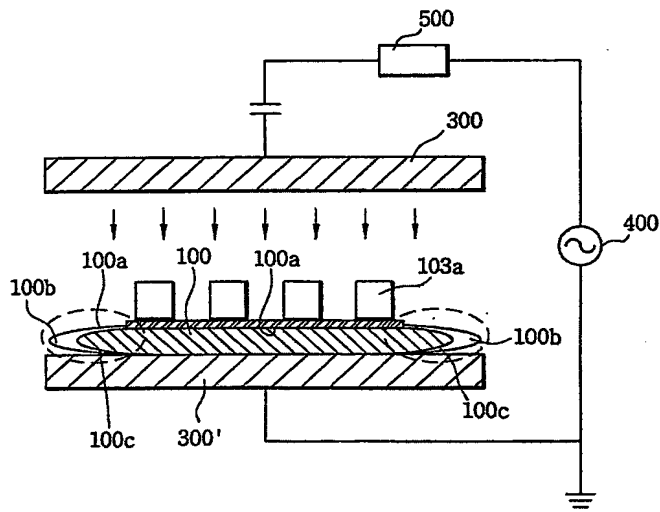
【도 8d】



【도 8e】



【도 9】



【서지사항】

【서류명】	명세서 등 보정서
【수신처】	특허청장
【제출일자】	2002.05.03
【제출인】	
【성명】	강효상
【출원인코드】	4-2002-003239-8
【사건과의 관계】	출원인
【제출인】	
【성명】	김영철
【출원인코드】	4-2002-008407-9
【사건과의 관계】	출원인
【대리인】	
【성명】	김익환
【대리인코드】	9-1998-000140-1
【포괄위임등록번호】	2002-008556-3
【포괄위임등록번호】	2002-017567-0
【사건의 표시】	
【출원번호】	10-2002-0011395
【출원일자】	2002.03.04
【심사청구일자】	2002.03.04
【발명의 명칭】	웨이퍼 건식 식각용 전극
【제출원인】	
【접수번호】	1-1-02-0063574-56
【접수일자】	2002.03.04
【보정할 서류】	명세서등
【보정할 사항】	
【보정대상항목】	별지와 같음
【보정방법】	별지와 같음
【보정내용】	별지와 같음
【취지】	특허법시행규칙 제13조·실용신안법시행규칙 제8조의 규정에 의하여 위와 같 이 제출합니다. 대리인 김익환 (인)

020011395

출력 일자: 2002/5/17

【수수료】

【보정료】 0 원

【추가심사청구료】 0 원

【기타 수수료】 0 원

【합계】 0 원

020011395

출력 일자: 2002/5/17

【보정대상항목】 식별번호 40

【보정방법】 삭제

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.